

PAT-NO: JP362299081A

DOCUMENT-IDENTIFIER: JP 62299081 A

TITLE: THIN-FILM TRANSISTOR

PUBN-DATE: December 26, 1987

INVENTOR-INFORMATION:

NAME

HIRANAKA, KOICHI

YAMAGUCHI, TADAHISA

YOSHIMURA, TETSUZO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP61142531

APPL-DATE: June 18, 1986

INT-CL (IPC): H01L029/78, H01L027/12

US-CL-CURRENT: 257/59, 257/E29.273

## ABSTRACT:

**PURPOSE:** To enable a thin-film transistor to maintain an increased WRITE speed for a prolonged period of time as a driver for a liquid crystal display by a method wherein thin-film transistor insulation is constituted of a lamination of a plurality of two-film layers of silicon oxide/nitride and silicon nitride.

**CONSTITUTION:** In a thin-film transistor of this design, on one side of an amorphous semiconductor film 4, which may be an amorphous silicon hydride film to function as an activation layer, there is a gate electrode 2 installed with the intermediary of a gate insulating film 3 and, on the other side of the amorphous semiconductor film 4, there are source-drain electrodes 6 positioned not opposing the gate electrode 2. The gate insulating film 3 in this thin-film transistor is a lamination 3c built of a plurality of two-film layers of silicon oxide/nitride thin films 3a and silicon nitride thin films 3b. A large ON current realizes in a silicon nitride thin film 3b and any defect involving the level of electron capture may be compensated for by oxygen

atoms present in  
a silicon oxide/nitride thin film 3a, and this allows a large ON  
current to  
be sustained with high stability for a prolonged period of time.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-299081

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)12月26日

H 01 L 29/78  
27/12

3 1 1

G-8422-5F  
7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭61-142531

⑰ 出 願 昭61(1986)6月18日

⑱ 発 明 者 平 中 弘 一 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑱ 発 明 者 山 口 忠 久 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑱ 発 明 者 吉 村 徹 三 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地  
 ⑳ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

〔1〕非晶質半導体膜(4)の一方の面にゲート絶縁膜(3)を介してゲート電極(2)が設けられ、前記非晶質半導体膜(4)の他方の面に前記ゲート電極(2)と対向することなくソース電極・ドレイン電極(6)が設けられてなる薄膜トランジスタにおいて、

前記ゲート絶縁膜(3)は酸化シリコンの薄膜(3a)と窒化シリコンの薄膜(3b)との二重層が複数積層されてなる積層体(3c)であることを特徴とする薄膜トランジスタ。

〔2〕前記薄膜トランジスタは、前記ゲート電極(2)が非晶質基板(1)上に形成されてなる逆スタガード型薄膜トランジスタであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

〔3〕前記薄膜トランジスタは、前記ソース

電極・ドレイン電極(6)が非晶質基板(1)上に形成されてなるスタガード型薄膜トランジスタであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

〔4〕前記非晶質半導体膜(4)は水素化アモルファスシリコン膜であることを特徴とする特許請求の範囲第1項、第2項、または、第3項記載の薄膜トランジスタ。

〔5〕前記酸化シリコンの薄膜(3a)と窒化シリコンの薄膜(3b)との二重層が複数積層されてなる積層体(3c)と前記ゲート電極(2)との間に、窒化シリコンの薄膜(3d)が介在してなることを特徴とする特許請求の範囲第1項、第2項、第3項、または、第4項記載の薄膜トランジスタ。

〔6〕前記酸化シリコンの薄膜(3a)と窒化シリコンの薄膜(3b)との二重層の厚さは100Å以下であることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、または、第5項記載の薄膜トランジスタ。

〔7〕前記酸化シリコンの薄膜(3a)と窒化シリコンの薄膜(3b)との二重層が複数積層されてなる積層体(3c)の厚さは3,000～5,000 Åの範囲にあることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項、または、第6項記載の薄膜トランジスタ。

### 3. 発明の詳細な説明

#### (概要)

薄膜トランジスタの改良である。特に、長時間にわたり安定して大きなオン電流を維持することができ、この薄膜トランジスタが液晶ディスプレイ装置の駆動用に使われた場合、速い書き込み速度を実現することができ、高い信頼性をもって正確な階調表示をなしうるようにする改良である。

本発明の要旨は、酸化シリコンの薄膜と窒化シリコンの薄膜との二重層が複数積層されてなる積層体をもって薄膜トランジスタのゲート絶縁膜を形成することにある。

シリコン膜等の非晶質半導体膜よりなる活性層であり、5は高不純物濃度の水素化アモルファスシリコン膜等の低抵抗非晶質半導体膜等よりなるコンタクト膜であり、6はチタン・クローム等の金属膜よりなるソース電極・ドレイン電極である。

#### (発明が解決しようとする問題点)

かかる構造の薄膜トランジスタのゲート絶縁膜材料としては、上記せるように、従来二酸化シリコン膜、窒化シリコン膜等が使用されているが、酸化シリコン膜を使用すると、電界効果移動度が $0.05\text{cm}^2/\text{Sec}\cdot\text{V}$ と小さく、そのため、オン電流が小さくなり、薄膜トランジスタが液晶ディスプレイ装置の駆動用に使われた場合書き込み速度が遅いという欠点があり、一方、窒化シリコン膜を使用すると、オン電流は、製造当初は十分大きくなり、薄膜トランジスタが液晶ディスプレイ装置の駆動用に使われた場合書き込み速度は速くなるが、オン電流は、使用とともに経時変化

#### (産業上の利用分野)

本発明は薄膜トランジスタの改良に関する。特に、電界効果移動度とオン電流とを大きくし、さらに、オン電流が経時変化することがなく長時間にわたって大きな値を維持しうるようにし、この薄膜トランジスタが液晶ディスプレイ装置の駆動用に使われた場合、長時間にわたり安定して速い書き込み速度を維持することができ、長時間高い信頼性をもって正確な階調表示をなしうるようにする改良に関する。

#### (従来の技術)

液晶ディスプレイ装置の駆動用等に使われる薄膜トランジスタは、スタガード型と逆スタガード型とに分類されるが、逆スタガード型薄膜トランジスタの1例を第7図に示す。図において、1はガラス基板等非晶質基板であり、2はモリブデン膜、クローム膜等よりなるゲート電極であり、3は二酸化シリコン、窒化シリコン膜等よりなるゲート絶縁膜であり、4は水素化アモルファ

して小さくなり、しきい値電圧が正バイアス側に変化し、薄膜トランジスタが液晶ディスプレイ装置の駆動用に使われた場合、階調が時間の経過とともに変化することになり、この薄膜トランジスタは階調表示をなす液晶ディスプレイ装置の駆動用には使用しえないという欠点がある。

本発明の目的は、この欠点を解消することにある。オン電流が経時変化することなく終始安定的に大きく、液晶ディスプレイ装置の駆動用に使われた場合、書き込み速度が安定的に速く、長時間高い信頼性をもって正確な階調表示をなしうる利益を有する薄膜トランジスタを提供することにある。

#### (問題点を解決するための手段)

上記の目的を達成するために本発明が採った手段は、

活性層として機能する水素化アモルファスシリコン膜等非晶質半導体膜4の一方の面にゲート絶縁膜3を介してゲート電極2が設けられており、

また、非晶質半導体膜4の他方の面にはゲート電極2と対向することなくソース電極・ドレイン電極8が設けられている薄膜トランジスタのゲート絶縁膜3として、

酸窒化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されている積層体3cを使用することにある。

本発明に係る薄膜トランジスタは、逆スタガード型としてもスタガード型としても使用しうる。

本発明に係る薄膜トランジスタの活性層は非晶質半導体膜であれば足りるが、水素化アモルファスシリコン膜が最も現実的に有利である。

本発明の要旨に係る酸窒化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cが活性層と接触していることは必須であるが、これがゲート電極2と接触している必要はないから、ゲート電極2と接触する膜を窒化シリコン膜とすれば、オン電流をさらに大きくする効果がありさらに有利である。

本発明の要旨に係る積層体3cを構成する酸窒

化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cの構成要素のうちの窒化シリコンの薄膜3bをもって大きなオン電流が実現され、その欠点である電子捕獲単位は酸窒化シリコンの薄膜3a中の酸素原子をもって補償され、長時間にわたり安定して大きなオン電流を維持しうる。

#### 〔実施例〕

以下、図面を参照しつつ、本発明の一実施例に係る薄膜トランジスタについてさらに説明する。

#### 第2図参照

スパッタ法または真空蒸着法を使用して、ガラス板等非晶質の絶縁性基板1上に、モリブデン、クロム、ニクロム等の膜を500~1,000Å厚に形成し、リソグラフィー法を使用してこれをパターンニングしてゲート電極2を形成する。

#### 第3図参照

高周波グロー放電分解法を使用して酸窒化シリ

化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層の厚さは100Å以下であることが望ましい。

本発明の要旨に係る酸窒化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cの厚さは3,000~5,000Åが適当である。

#### 〔作用〕

窒化シリコン膜をゲート絶縁膜として使用した場合オン電流が経時変化して小さくなる理由は、窒化シリコン膜に電子捕獲単位が存在するからである。

そこで、本発明にあっては、酸窒化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cをもってゲート絶縁膜を構成し、酸窒化シリコンの薄膜3a中の酸素原子をもって上記の窒化シリコンの薄膜3b中の電子捕獲単位を補償したものであり、本発明に係る薄膜トランジスタにあっては、酸窒化シリ

コンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cを形成する。この工程は次の2工程の繰り返しよりなる。

第1の工程においては、モノシランと亜酸化窒素と酸素との混合ガス、または、モノシランとアンモニアと亜酸化窒素もしくは酸素との混合ガスを反応性ガスとし、ガス圧0.1~10Torr、基板温度250~300℃において、RFパワー20~100Wをもって酸窒化シリコンの薄膜3aを形成する。この酸窒化シリコンの組成比は、シリコンが0.2~0.4であり、酸素が0.5~0.7であり、窒素が0.05~0.2である。

第2の工程においては、モノシランとアンモニアとの混合ガスを反応性ガスとし、ガス圧0.2~10Torr、基板温度250~300℃において、RFパワー50~100Wをもって窒化シリコンの薄膜3bを形成する。この窒化シリコンの組成比はシリコン1、窒素0.85~1.33である。

酸窒化シリコンの薄膜3aと窒化シリコンの

薄膜3bとの二重層の膜厚は10～100Åの範囲が望ましい。この二重層を30～50層積層して厚さが3,000～5,000Åの積層体3cを形成する。

真空を破ることなく、モノシランのみを使用してなす高周波グロー放電分解法を採用して厚さ100～1,000Åの、好ましくは300Åの、水素化アモルファスシリコン膜4よりなる活性層を形成する。この工程は、ガス圧0.1～10Torr、基板温度250～300℃において、RFパワー10～20Wをもってなす。

#### 第1図参照

リソグラフィー法を使用してゲート電極2に対向する領域にレジストマスク(図示せず)を形成した後、高周波グロー放電分解法を使用して、厚さ300Åのリンドープされた水素化アモルファスシリコン膜とチタン、クローム、モリブデン、ニクロム、アルミニウムまたはこれらの組み合わせの膜を形成した後上記のレジストマスク(図示せず)とその上に形成されたリンドープされた水素化アモルファスシリコン膜とチタン、

クローム、モリブデン、ニクロム、アルミニウムまたはこれらの組み合わせの膜を除去して、ソース電極・ドレイン電極コンタクト膜5とソース電極・ドレイン電極6を形成し、最後に素子分離をする。

このようにして製造された薄膜トランジスタにおいては、ゲート絶縁膜3を構成する酸化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cのうちの窒化シリコンの薄膜3bによって薄膜トランジスタのオン電流値が規定されるため、電界効果移動度とオン電流とは大きく、しかも、窒化シリコン薄膜3b中に不可避的に存在する電子捕獲単位は酸化シリコン薄膜3a中の酸素原子によって補償されることになり、活性層中を移動する電子をトラップすることがないので、オン電流が経時変化することはなく、長時間使用にかかわらず安定して大きな値を維持する。

この発明の効果の実験結果Aを、従来技術の実験結果Bと比較して第4図に示す。

この実験はゲート電圧を10V(オフ状態)とし、ドレイン・ソース間電圧を1Vとして、120分間使用したものであり、Y軸には、電源投入後t分経過後のドレイン電流I(t)と電源投入時のドレイン電流I(0)との比を示す。図より明らかなように、従来技術に係る薄膜トランジスタにあっては、Bをもって示すように、電源投入後120分にして、ドレイン電流が約20%低下するが、本発明に係る薄膜トランジスタにあっては、Aをもって示すように、電源投入後120分経過してもドレイン電流は約2%低下するに過ぎず、極めて安定である。

#### 第5図参照

本発明の要旨に係る酸化シリコンの薄膜3aと窒化シリコンの薄膜3bとの二重層が複数積層されてなる積層体3cが活性層4と接触していることは必須であるが、ゲート電極2と接触している必要はないから、この積層体3cは、図示するように、活性層4と接触する領域のみに設け、ゲート電極2と接触する領域には、オン電流を

大きくする機能を有する窒化シリコン膜3dを設けておけば、さらにオン電流を大きくしうる。

#### 第6図参照

本発明は、図示するようなスタガード型に適用することも可能である。

#### (発明の効果)

以上説明せるとおり、本発明に係る薄膜トランジスタのゲート絶縁膜は、酸化シリコンの薄膜と窒化シリコンの薄膜との二重層が複数積層されてなる積層体をもって構成されているので、酸化シリコンの薄膜と窒化シリコンの薄膜との二重層が複数積層されてなる積層体の構成要素の一つである窒化シリコンの薄膜の機能により電界効果移動度が大きくなってオン電流は大きくなり、この窒化シリコンの薄膜に不可避の欠点である電子捕獲単位は、酸化シリコンの薄膜と窒化シリコンの薄膜との二重層が複数積層されてなる積層体の構成要素の他の一つである酸化シリコンの薄膜中の酸素原子によって補償されてトラッ

ブとして機能しなくなり、そのため、長時間にわたり、大きなオン電流の値を維持することができる。

そして、これが液晶ディスプレイ装置の駆動用に使われた場合、オン電流が大きく、書き込み速度が向上するので、画素数の多い大画面の液晶ディスプレイ装置とすることができ、しかも、オン電流が長時間安定しているので、長時間安定して正確な階調表示をなすことができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例に係る逆スタガード型の薄膜トランジスタの断面図である。

第2～3図は、本発明の一実施例に係る逆スタガード型の薄膜トランジスタの製造工程図である。

第4図は、本発明の効果確認試験の試験結果を示すグラフである。

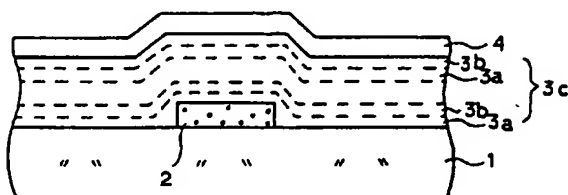
第5図は、本発明の他の実施例（特許請求の範囲第5項に対応）に係る逆スタガード型の薄膜トランジスタの断面図である。

第6図は、本発明の他の実施例（特許請求の範囲第3項に対応）に係るスタガード型の薄膜トランジスタの断面図である。

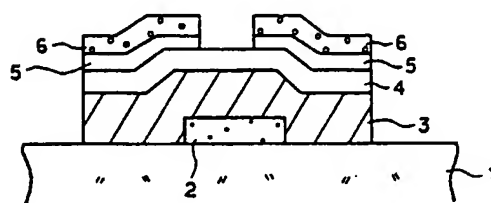
第7図は、従来技術に係る逆スタガード型の薄膜トランジスタの断面図である。

- 1・・・非晶質基板（ガラス基板）、
- 2・・・ゲート電極、
- 3・・・ゲート絶縁膜、
- 3a・・・酸化シリコンの薄膜、
- 3b・・・窒化シリコンの薄膜、
- 3c・・・酸化シリコンの薄膜3aと窒化シリコンの薄膜3bとの積層体、
- 3d・・・窒化シリコンの薄膜、
- 4・・・水素化アモルファスシリコン膜等の非晶質半導体膜よりなる活性層、
- 5・・・コンタクト膜、
- 6・・・ソース電極・ドレイン電極、
- A・・・本発明の結果、
- B・・・従来技術の結果。

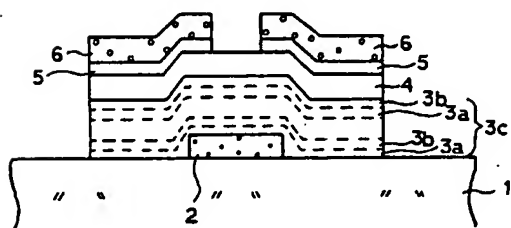
代理人 弁理士 井桁貞一



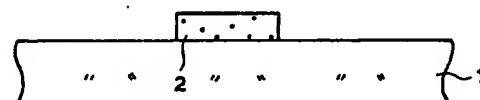
工程図  
第3図



従来技術  
第7図

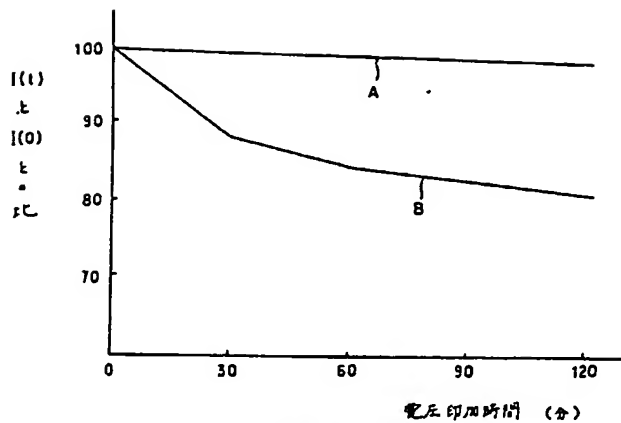


本発明  
第1図

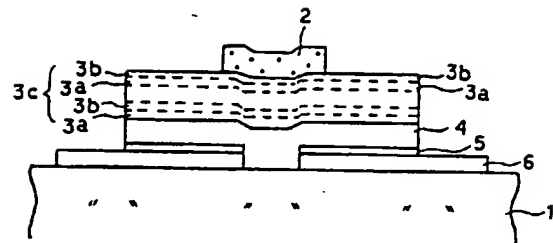


工程図  
第2図

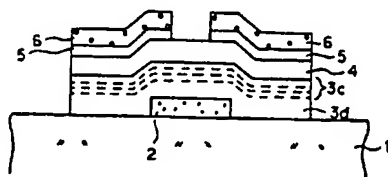




効果確認試験  
第 4 図



他 1 実施例  
第 6 図



他 1 実施例  
第 5 図